

(1) Japanese Patent Application Laid-Open No. 03-093457 (1991)

“DRIVE CIRCUIT FOR VOLTAGE DRIVING-TYPE ELEMENT”

The following is English translation of an extract from the above-identified
5 document relevant to the present application.

According to the present invention, at the time an IGBT is turned on, a low
gate voltage is applied to put the IGBT in an analog operation. As a result, a
recovery current for a diode is limited and di/dt is kept low at recovery, thereby
10 suppressing a surge voltage at both ends of the diode. Moreover, after diode
recovery, a gate voltage for the IGBT is set high in order to lower a saturation
voltage, thereby decreasing steady loss of the IGBT. Therefore, it is possible to
obtain a highly-reliable and highly-effective drive circuit for voltage driving-type
element with favorable form factor and low EMI noise.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-93457

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月18日

H 02 M 1/08

A

8325-5H

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 電圧駆動形素子の駆動回路

⑮ 特 願 平1-227474

⑯ 出 願 平1(1989)9月4日

⑰ 発 明 者 岡 土 千 尋 東京都府中市東芝町1番地 株式会社東芝府中工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 猪 股 祥 晃 外1名

明 細 書

1. 発明の名称

電圧駆動形素子の駆動回路

2. 特許請求の範囲

それぞれ高速ダイオードを逆並列接続した複数の電圧駆動形素子をブリッジ接続したブリッジ回路の各電圧駆動形素子のゲートを駆動する電圧駆動形素子の駆動回路において、各素子のゲート駆動信号の入力に応じて所定のパターンで順次電圧が増大するゲート駆動電圧を発生するゲート電圧発生回路を備えたことを特徴とする電圧駆動形素子の駆動回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はIGBT (Insulated Gate Bipolar Transistor) など電圧駆動形素子の駆動回路にかかり、特に電圧形インバータブリッジに用いた場合の逆並列ダイオードのリカバリ時のサージ電圧を抑制する回路に関するものである。

(従来の技術)

電圧駆動形素子を用いたインバータの一般的な構成を第6図に示す。

第6図において、直流電源1は平滑用のコンデンサ2を並列にしてインバータブリッジ3に供給され、交流に変換されたインバータ出力は負荷に電力を供給する。

一般に負荷はインダクタンス4と負荷抵抗5から成り、負荷電流 I_L を流す。またインバータブリッジ3は、IGBT31~34および各IGBTに逆並列に接続された高速ダイオード35~38から構成されている。

負荷電流 I_L が矢印の方向に流れている状態でIGBT31をオンオフさせたときの動作を第7図に示す。

第7図において、浮遊インダクタンス6は配線のインダクタンス分しであり、IGBT31がオフすると負荷電流 I_L はIGBT31から高速ダイオード36へ転流して図の矢印の回路で流れ、次にIGBT31を再度オンするとダイオード36のキャリアを放出して逆回復するまで直流電源1はIGBT31、浮遊インダク

タンス6、およびダイオード36の回路を通して瞬時短絡状態となる。なお実部は他の配線部にもインダクタンスが存在するが説明を簡単にするために省略してある。

その後、ダイオード36に逆方向に逆回復電流が流れてダイオードは逆方向特性を回復するが、逆回復電流の減衰が急になるとインダクタンス6による過大サージ電圧がダイオード36やIGBT32に印加される。

この逆回復電流は電流 i を観測することによって見分けることができ、時点 t_1 でIGBT31がオンすると電流 i は $-I_L$ の大きさから減少して零となり、その後逆回復電流が流れた後に急激に零となり、この時点で浮遊インダクタンス6によってダイオード36に大きなサージ電圧 V_0 が印加される。

このサージ電圧 V_0 は $-L \frac{di}{dt}$ で決まるので、 L の大きさを減少させるか、 di/dt を低下させるかのいずれかによってサージ電圧を低下させることができるが、浮遊インダクタンス L を減少させることは配線上から限界があるので、一般に di/dt

を減少させる方法が有効である。

di/dt を減少させる方法の1つに高速ダイオードのリカバリ時間を短かく設計する方法があり、例えば耐圧数十Vのダイオードでは30~50ns、耐圧500Vクラスでは100~200ns、耐圧1000Vクラスでは300~800nsのダイオードが開発されている。さらにリカバリ電流がゆるやかに減衰するソフトリカバリダイオードも開発されているが限界があり、また他の方法としてはIGBT31をゆるやかにオンさせて短絡電流 i を減少させる方法が考えられている。

第7図における波形aはIGBT31を急速にオンさせた場合であり、その時の電流での立上りは速くサージ電圧 V_0 も大きな値となっている。一方、波形bはIGBT31をゆるやかにオンさせた場合であり、逆電流 i の値も di/dt の値も小さく、従ってサージ電圧 V_0 も低くなる。

(発明が解決しようとする課題)

ゲート電圧の立上りをゆるやかにする従来の方法を第8図に示す。第8図(A)はその回路図、

第8図(B)は動作波形図である。

第8図において、ゲート信号 V_g は抵抗10を介してIGBT31のゲートに入力され、ゲート、カソード間にはコンデンサ12を追加してゲート電圧 V_{gs} の立上りを抵抗10とコンデンサ12による一次遅れ回路を介してゆるやかにしている。なおIGBTの構造による浮遊容量に相当するコンデンサ13があるのでコンデンサ12は省略することもある。ダイオード11はゲート電圧 V_{gs} の立下りを速くしてターンオフ損失を減少させるために設けられたものである。

時点 t_1 にゲート信号 V_g を負から正に立上げるとIGBTのゲート電圧 V_{gs} は一次遅れによってゆるやかに上昇し、時点 t_2 にIGBT31はオンを開始するが、ゲート電圧 V_{gs} が不十分なためIGBT不完全なスイッチング動作を行う。

このためIGBT31のコレクタ・エミッタ間電圧 V_{ce} は中間電圧に留まり、第8図の電流 i は負から正に上昇する傾斜がゆるやかになり、しかも電流 i のピーク値が制限され、時点 $t_1 \sim t_2$ 間の di/dt が

減少してサージ電圧が減少する。

しかしながらこの方法ではゲート信号 V_g をオフからオンに変化させてから実際にIGBTがオンするまでの時間 $t_1 \sim t_2$ が長くなり、この間が無駄時間となって短いパルスでスイッチングすることができなかつたり、ブリッジ回路の上下素子を同時にオンさせないためのデッドタイムが長くなり、この間の無制御によってインバータ出力波形の歪が大きくなり、電動機の運転に用いられたとき不安定現象を招くなどの問題がある。

本発明は、以上の不具合に対し、ゲート信号に対して、IGBTの動作遅れを短縮し、しかもダイオードのリカバリ電流をソフトにすることによりサージ電圧を低減できる合理的な電圧駆動形素子の駆動回路を提供することを目的としている。

(発明の構成)

(課題を解決するための手段および作用)

上記の問題を解決するために、本発明ではゲート電圧の立上り時にゲート電圧の大きさを時間的に切替える回路を設けている。

すなわちIGBTのオン時のゲート電圧を、IGBTがアナログ動作する電圧で立上げることによって電流制限を行い、これによってダイオードのリカバリ電流を制限してリカバリ電流の変化率をゆるやかにし、サージ電圧を低下させるものである。

(実施例)

本発明の一実施例を第1図に示す。第1図は第6図に示すインバータ回路の中のIGBT31に対するゲート駆動回路のみを示したもので従来技術における第8図に対応しており、従って第8図と同一部分には同一番号を付してその説明を省略している。

第1図において、直流電源14、15はゲート駆動電源であり、抵抗17を負荷としてトランジスタ16を直流電源14、15の両端に接続し、駆動信号 V_s によってトランジスタ16をオンオフさせる。

トランジスタ16のコレクタはトランジスタ18、19のベースに接続され、トランジスタ18、19はエミッタを共通接続し、IGBT31に対してゲート信号 V_o を出力する。またトランジスタ18のコレクタは

直流電源14の正極へ、トランジスタ19のコレクタは直流電源15の負極へ接続されている。

一方、トランジスタ16のコレクタからコンデンサ20、および抵抗21、22を直列接続した微分回路を介してトランジスタ23のベースを駆動し、トランジスタ23のコレクタはトランジスタ18、19のベースとゼナーダイオード24を介して接続され、トランジスタ18、19のベースに印加される電圧を変化させる。ダイオード25はコンデンサ20の放電を速めるために設けられている。

次に第1図の回路動作を第2図および第3図を参照して説明する。

第2図の時点 t_1 に駆動信号 V_s が零になるとトランジスタ16がオンからオフに変化し、トランジスタ16のコレクタ電位が上昇してコンデンサ20および抵抗21を通してトランジスタ23のベースに電流が流れ、時点 t_1 と t_2 の間トランジスタ23がオンとなる。

トランジスタ16のコレクタ電位はゼナーダイオード24で決まる電圧に制限され、トランジスタ18、

19のゲイン（入力インピーダンス）が十分高ければ、ゲート信号 V_o はトランジスタ16のコレクタと直流電源14と15の中間点との間の電圧差となる。

IGBT31のゲート電圧 V_{ge} は抵抗10とコンデンサ13とによって遅れ波形となり、時点 t_1 においてIGBT31はコレクタ電流を流し始める。時点 $t_2 \sim t_3$ の間はゲート電圧 V_{ge} が低く、IGBTはアナログ動作をしている。

時点 t_3 でトランジスタ23はオフし、ゲート駆動電圧 V_o は最高となってIGBT31は完全なスイッチング状態となる。

第3図における電流 i およびダイオード両端電圧 V_D の実線aで示す波形はIGBTのゲート電圧を全電圧ステップ状に印加した場合であり、第7図のaと同じ波形である。

これに対してIGBTのゲート信号 V_o を2段に分けて印加するとゲート電圧 V_{ge} も図のように2段になり、時点 $t_2 \sim t_3$ の間は電流 i は破線cのようになってピーク電流が制限される。

これは、第9図に示すIGBTの特性から分るよう

に、例えば $V_{ge}=8V$ であれば、コレクタ電流 I_c は13A程度に制限されるようなアナログ動作をするからである。

従って高速ダイオードの同じキャリア電荷分を流出させるのにaの場合は時点 t_3 でダイオードがリカバリするのに対し、本発明によるcの場合は遅れた時点 t_4 でリカバリするので、等価的に第7図のbの場合と同様なソフトリカバリとなり、ダイオードのサージ電圧 V_D は破線cに示す低い値に制限される。

また第2図における時点 t_1 と t_2 の間隔は、ダイオードがリカバリする時間に対応して設定すればよく1～2 μs 程度となる。

このようにダイオードのリカバリ電流の変化率をゆるやかにすることによってダイオード両端のサージ電圧を下げる事が可能になり、これによってパルス幅の狭い制御が可能となってインバータの出力波形を改善すると共にサージ電圧の低下による素子の信頼性向上およびEMIノイズの低下が期待できる。

本発明の他の実施例を第4図に示す。第4図(A)はその回路図、第4図(B)はその動作波形図である。

第4図ではトランジスタ16のコレクタ・エミッタ間に抵抗26とコンデンサ27の直列回路を並列に接続し、さらにダイオード25をコンデンサ27の放電を速めるために接続している。

第4図の回路では、トランジスタ16がオフすると、IGBT31へのゲート信号 V_G は抵抗17と25で分圧される値にまで急速に上昇し、その後抵抗17、26とコンデンサ27で決まる時定数でゆるやかに上昇する。

このため、駆動信号 V_s からIGBT31がオンするまでの遅れ時間が短く、オンしてしばらくはIGBTのゲート電圧が低いのでIGBTはアナログ動作してダイオードのリカバリ電流を制限し、ゲート電圧が上昇するにつれてIGBTの V_{ce} が低下するので低損失となる。

本発明のさらに他の実施例を第5図に示す。

第5図においては、トランジスタ23のエミッタ

を直流電源14、15の midpoint に接続し、ゼナードダイオードの代りに抵抗28による分圧を用いている。この場合オン電圧は電源15の影響を受けないので、電圧変動のある場合に効果的である。ダイオード29はトランジスタ23のベース・エミッタの逆圧防止用である。

また小容量のインバータの場合には、直流電源14のみを使用しゲート電圧を零と正のみに変化させるだけでもよい。

以上はパワー素子としてIGBTを用いた場合について説明したが、ゲート電圧によりオン時の速度が変化したリオン特性が変化したリする電圧駆動形素子に対しては共通に適用できる。

(発明の効果)

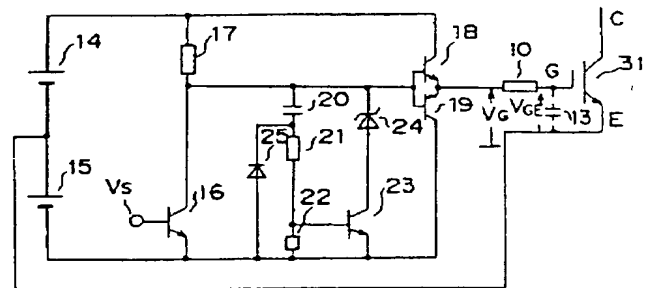
以上説明したように本発明によれば、IGBTオンの時には低いゲート電圧を加えてIGBTをアナログ動作させ、これによりダイオードのリカバリ電流を制限してリカバリ時の di/dt を低く抑え、ダイオード両端のサージ電圧を抑制すると共に、ダイオードリカバリ後はIGBTのゲート電圧を高く

して飽和電圧を低くし、IGBTの定常損失を低減させているので、波形率がよくEMIノイズの低い高信頼性で高効率な電圧駆動形素子の駆動回路が得られる。

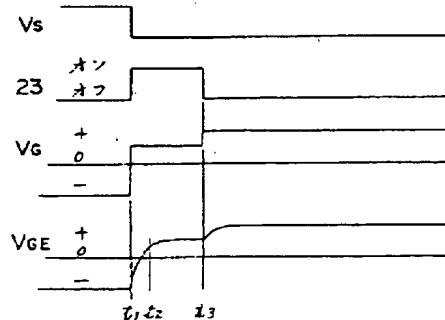
4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図および第3図は本発明の動作を説明するための波形図、第4図および第5図はそれぞれ本発明の他の実施例を示す回路図、第6図は電圧駆動形素子を用いたインバータの一般的な主回路図、第7図および第8図は従来の駆動回路の動作説明図、第9図はIGBTの一般的な特性図である。

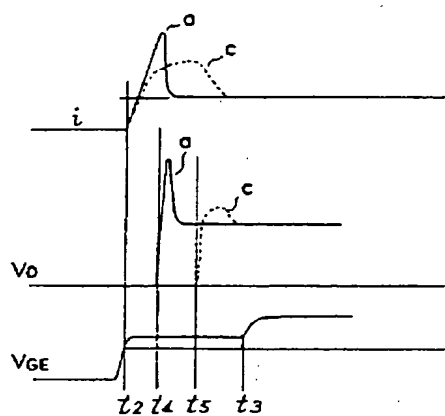
- | | |
|-----------------------|------------------|
| 1…主回路用直流電源 | 2…主回路用コンデンサ |
| 3…インバータ | 4…負荷インダクタンス |
| 5…負荷抵抗 | 31-34…IGBT |
| 35-38…高速ダイオード | 6…浮遊インダクタンス |
| 10, 17, 21, 22, 28…抵抗 | 11, 25, 29…ダイオード |
| 12, 20…コンデンサ | 13…浮遊コンデンサ |
| 14, 15…ゲート回路用直流電源 | |
| 16, 18, 19, 23…トランジスタ | 24…ゼナードダイオード |



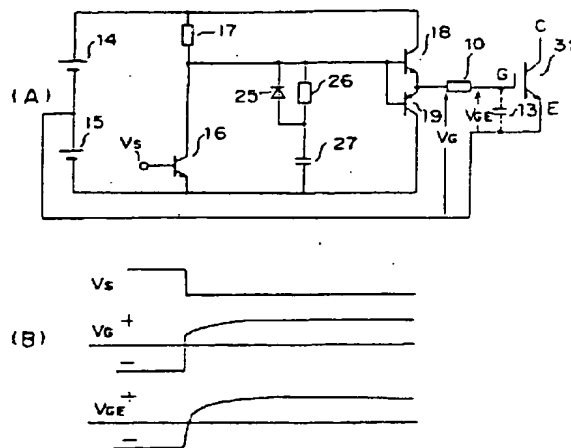
第1図



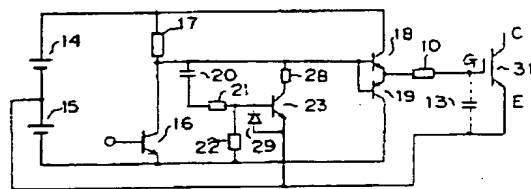
第2図



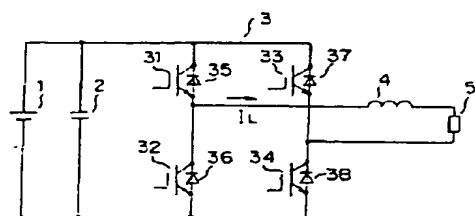
第 3 圖



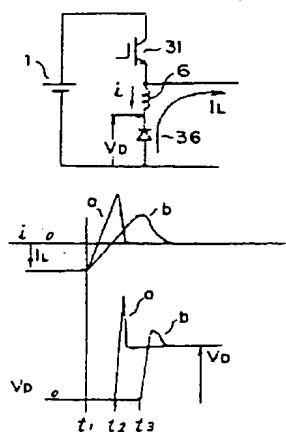
第 4 圖



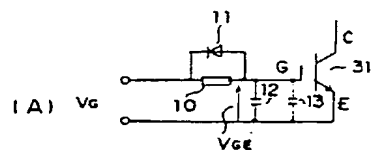
第 5 圖



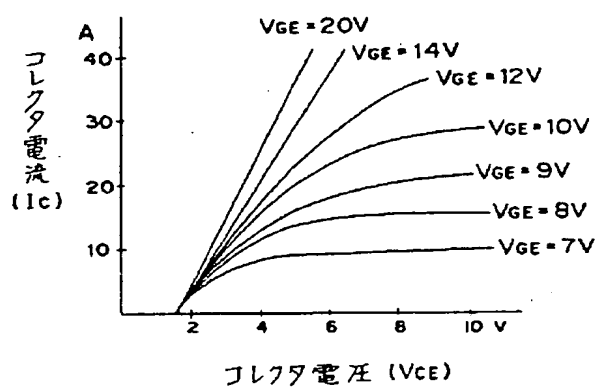
第 6 圖



第 7 圖



第 8 圖



第 9 図